

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS
- BLANK PAGES

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-118479
 (43)Date of publication of application : 29.05.1987

(51)Int.Cl. G06F 15/62
 // H04N 5/262

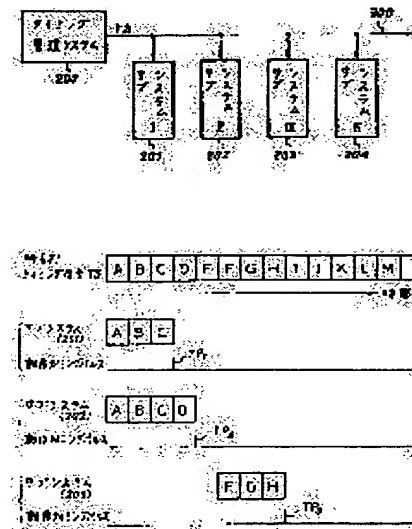
(21)Application number : 60-259541 (71)Applicant : SONY CORP
 (22)Date of filing : 19.11.1985 (72)Inventor : KATO RYOHEI
 HASEBE ATSUSHI

(54) INFORMATION PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To supply separately processing timings to plural sub-systems by a small quantity of hardware by changing algorithm in a detection of the operating timing of the respective sub-systems.

CONSTITUTION: When the sub-system 200 detects succeeding signals of AWC, it performs a decode processing for generating an operation timing signal TP2. In the sub-system 201, when a managing system 200 transmits it to the AWC as a time series timing signal TS, it is detected and an operation timing pulse TP1 and the instruction for starting the processing or branching the processing or the like is given. In the sub-system 203, when succeeding signals of FWH are detected, if the decode processing for generating an operation timing signal TP3 is performed, the sub-system 203 generates the operation timing signal TP3 when the operation timing signal TS is transmitted to the AWH and the instruction for starting the processing or the like is supplied.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-118479

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)5月29日

G 06 F 15/62
// H 04 N 5/262

6615-5B
8420-5C

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 情報処理システム

⑯ 特 願 昭60-259541

⑰ 出 願 昭60(1985)11月19日

⑱ 発 明 者 加 藤 良 平 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 発 明 者 長 谷 部 淳 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
㉑ 代 理 人 弁理士 伊 藤 貞 外1名

明 細 書

発明の名称 情報処理システム

特許請求の範囲

時系列信号をタイミング信号として出力するタイミング管理システムと、ソフトウェアによって動作し、タイミング信号を検出して処理を始める複数のサブシステムとを有し、上記タイミング信号はタイミング管理システムより上記複数のサブシステムに対して共通の伝送路を介して供給され、上記各サブシステムにおいては、時系列信号のタイミング信号に対して異なるデコード処理をなして各サブシステム毎に独自の処理開始タイミングを有するようにされた情報処理システム。

発明の詳細な説明

(産業上の利用分野)

この発明は複数のサブシステムを協調させて1つの処理を行なう例えば画像処理装置等の情報処理システムに関し、特にその複数のサブシステムのタイミング管理のための技術に関する。

(発明の概要)

この発明は、複数のサブシステムの処理開始タイミングをタイミング管理システムによりコントロールする装置において、この管理システムよりのタイミング信号は時系列信号として複数のサブシステムに対し共通の伝送路を介して供給し、一方、各サブシステムでは送られてきたタイミング信号に対して異なるデコード処理をなして各サブシステム毎に独自の開始タイミングを有することができるようにしたもので、伝送路が本来複数のサブシステムに対し共通になる等、少量のハードウェアで複数のサブシステムに別々の処理タイミングを与えることができるものである。

(従来技術)

ビデオ画像処理システムが種々提案されている(例えば、特開昭58-215813号公報参照)。

第6図はこのビデオ画像処理システムの一例を示すものである。すなわち、これは同図に示すように入出力部⑩と、メモリ部⑪と、データ処理部

図)とから構成されている。

入出力部(1)は、例えばビデオカメラ(4)よりのビデオ信号をA/D変換してデジタル画像データとし、これをメモリ部(2)に書き込み、また、このメモリ部(2)より処理された画像データを読み出し、これをD/A変換してアナログビデオ信号に戻し、これを例えばVTR(6)に記録したり、モニタ受像機(8)に供給してビデオ画像をモニタできるようにする。

データ処理部(3)はメモリ部(2)にアドレスを与え、ストアされた画像データを読み出してこれに種々の加工処理を加え、その処理後のデータを再びメモリ部(2)に書き込む処理を行う。

メモリ部(2)は画像のまとまり、すなわち1フィールドあるいは1フレーム分の容量を有する複数枚のフィールドメモリあるいはフレームメモリを有する。

入出力部(1)よりメモリ部(2)への書き込み及び読み出しはその画像のまとまりである1フィールドあるいは1フレーム単位でなされる。

一方、データ処理部(3)はメモリ部(2)にストアされている画像データのうち必要なものを読み出して処理し、処理後のデータを再びメモリ部(2)に蓄込む。したがって、1フィールドあるいは1フレームの画像データのまとまりの1つについて、そのうちのすべての画像データを読み出して加工処理する場合もあるが、複数枚のフィールドあるいはフレームメモリよりの複数フィールドあるいは複数フレームにわたるデータから必要とする画像データのみを読み出してそれらを加工処理して1フィールドあるいは1フレームのデータを作成し、その処理後のデータを1枚のフィールドあるいはフレームメモリに書き込むようにする場合もある。

ところで、データ処理部(3)としてはコンピュータ処理を行なう画像プロセッサが用いられる。この場合に、画像データを高速に処理するための手法として、2次元的に規則正しく配列されたデータである画像データの特徴を利用して、同一の構成を持つ単位プロセッサを複数個並列に並べ、同時に動作させる方式が用いられる(計算機アーキ

テクチャ58-3、1985.6.21参照)。

このように複数のサブシステムを協調させて1つの処理を行おうとするシステムでは各プロセッサの処理開始や処理分岐を指示する動作タイミングを正確に管理する必要がある。

この場合に、複数のプロセッサを全く同じ動作タイミングで制御できる場合だけでなく、各プロセッサを若干の時間ずつずらしてスタートさせる等異なった動作タイミングとする必要がある場合も多々ある。そこで、このタイミング管理の方法としては、第7図に示すように一つのタイミング管理システム(100)より各サブシステム(101)(102)(103)(104)・・・に独立に動作タイミング信号ST₁、ST₂、ST₃、ST₄・・・を送って独立にタイミングコントロールするのが普通である。

(発明が解決しようとする問題点)

ところで、第7図のようにサブシステムのそれぞれを独立にタイミングコントロールする方式の

場合には、タイミング制御線がサブシステムの数だけ必要になり、タイミング管理システム(100)が大がかりなものになってしまう不都合がある。

(問題点を解決するための手段)

この発明は、複数のサブシステムに対して共通のタイミング制御線を用いてタイミングコントロールができるようにしたもので、第1図はその概要を示すブロック図である。

すなわち、この発明においては、タイミング管理システム(200)より共通の伝送路(300)を介して、タイミング信号TSを時系列信号として各サブシステム(201)(202)(203)(204)・・・に供給する。

サブシステム(201)(202)・・・(203)(204)・・・はそれぞれ独自のデコーダを有し、タイミング信号TSについて各サブシステム(201)(202)(203)(204)・・・で独自のタイミング信号検出をなす。

(作用)

管理システム(200)よりnビット並列(nは1以上の整数)の時系列タイミング信号TSとして第2図に示すようなA, B, C...と順次変わる時系列信号が送出される場合を考える。

この時系列信号に対し、サブシステム(201)は、(A, B, C)と続く信号を検出したとき動作タイミング信号TP₁を発生するデコード処理をするとすると、サブシステム(201)では第2図に示すように管理システム(200)が時系列タイミング信号TSとしてA, B, Cまで送出した時点でこれを検出して動作タイミングパルスTP₁を発生し、処理開始あるいは処理分岐等の指示が与えられる。

また、サブシステム(202)では(A, B, C, D)と続く信号を検出したとき動作タイミング信号を発生するデコード処理をするとすれば、同様にしてサブシステム(202)では第2図に示すように管理システム(200)より信号TSとしてA, B, C, Dまで送出した時点でこれを検出して動

作タイミング信号TP₂を発生し、処理開始あるいは処理分岐等の指示が与えられる。

さらに、サブシステム(203)は、(F, G, H)と続く信号を検出したとき動作タイミング信号TP₃を発生するデコード処理をなすとすれば、このサブシステム(203)では、第2図に示すようにタイミング信号TSがA, B, C, D, E, F, G, Hまで送出された時点でその動作タイミング信号TP₃を発生し、処理開始等の指示が与えられることになる。

(実施例)

第3図はこの発明装置を前述のようなビデオ画像処理に適用した場合の一実施例である。この例のビデオ画像処理装置は、特に、よりデータ処理の高速化を実現したものである。

すなわち、この例ではデータ処理部を主として画素値を計算するプロセッサの系(以下PIPと称す)(30A)とアドレスの管理等のデータの流れの管理と処理のタイミング合わせを司るプロセ

ッサの系(以下PVPと称す)(30B)とに分ける。

従来のデータ処理部ではこの両者の処理時間を合計した処理時間を必要とするのに対し、このように分ければ両者のうち、より大きい方の処理時間で済む(前掲特開昭58-215813号公報参照)。したがって、この例の場合にはビデオデータ処理をリアルタイムで行うことが可能になるほどの高速処理ができる。

また、同図において(10)は入出力部(以下IOCと称す)、(20)はメモリ部(以下VIMと称す)で、これは入力画像メモリ(VIMIN)(20A)と出力画像メモリ(VIMOUT)(20B)とからなる。(40)は処理の実行、停止をコントロールするプロセッサ(以下TCと称す)である。

IOC(10)は前述と同様にビデオカメラやVTRからのビデオ信号をA/D変換し、入力画像メモリ(20A)に画像イメージで書き込み、また、処理後の画像を出力画像メモリ(20B)から読み出し、D/A変換し、モニタ等に出力する。

この場合、このIOC(10)に入出力可能な信号はNTSC方式あるいはR, G, B方式のビデオ信号であり、その方式の指定はTC(40)によりなされる。

また、1画素は例えば8ビットのデータとされる。

VIM(20)は複数枚のフレームメモリ、例えば12枚の756×512バイトのフレームメモリから構成されているが、この例の場合、これら12枚のフレームメモリの使われ方は固定的ではなく、処理目的に応じ、あるいは処理対象画像に応じ、入力画像メモリ(20A)と出力画像メモリ(20B)とに自由に割り当てることができるようにされている。

また、メモリは2枚1組にして使用され、一方が書き込み状態のとき、他方より読み出しができるようにされて、IOC(10)によるVIM(20)の外部からの処理と、PIP(30A)及びPVP(30B)によるVIM(20)の内部での処理が並行して行えるようにされている。この場合におい

て、このVIM(20)の複数枚のフレームメモリが、IOC(10)の支配下におかれるか、PVP(30B)の支配下におかれるかの支配モード信号はIOC(10)より発生し、VIM(20)に供給されている。

PIP(30A)とPVP(30B)は基本的には同じアーキテクチャで、制御部、演算部、メモリ部、入出力ポートからなる独立のプロセッサからなり、それぞれ複数の単位プロセッサからなるマルチプロセッサ構成とされ、主として並列処理方式により処理の高速化が図られている。

PIP(30A)は例えば60枚のPIPプロセッサと数枚のサブのプロセッサを有し、VIM(20)よりの画像データを加工し又は内部で画像データを生成する。このPIP(30A)のクロックはTC(40)より供給される。

PVP(30B)は30枚ほどのプロセッサを有し、VIM(20)よりの画像データのPIP(30A)への割り当てや回収などVIM(20)より内側の画像データの流れをコントロールする。

1 1

れる。このため、PVP(30B)にはIOC(10)よりフレームに同期した処理開始タイミング信号PS(処理開始とするときローレベルとなる)が供給される。一方、PVP(30B)からは1つの処理が終了したことを示す信号OKがIOC(10)に供給される。

信号PSはリアルタイム処理(1フレームのデータを1/30秒で処理)の場合には各フレームの始めの時点で得られ、それ以外のときは信号OKが出た次のフレームの始め及びユーザにより指定されたフレームの始めの時点で得られる。

信号OKはPVP(30B)のプロセッサのうち処理系のタイミング管理を司るこのPVP(30B)の中核のプロセッサより処理が終わると出力される。

すなわち、このPVP(30B)の中核のプロセッサではIOC(10)からの処理開始タイミング信号PSがローレベルになったことをプログラム的に検出する。そして、信号PSがローレベルになったことを検出すると、このプロセッサが近

1 3

すなわち、PVP(30B)ではVIM(20)へのアドレスデータ及びコントロール信号を生成し、これらをVIM(20)に供給するとともに、PIP(30A)の入出力コントロール信号や他のコントロール信号を生成し、これらをPIP(30A)に供給する。

この画像データ処理としては常に入力画像メモリ(20A)の1枚のフレームよりのデータのみを処理して出力画像メモリ(20B)にその処理後のデータを書き込む場合のみではなく、複数枚のフレームメモリよりの複数フレームにまたがるデータを用いて処理を行うこともある。

そして、PIP(30A)及びPVP(30B)での演算桁数は16ビットが標準で、画像データ処理の演算処理は1フレームの画像データは1フレーム以内の処理すなわちリアルタイム処理ができるような処理速度が可能とされる。もっとも、1フレーム以上の処理時間を必要とする処理もある。

この場合、PIP(30A)及びPVP(30B)による画像データ処理はフレームに同期して行

1 2

出し、PVP(30B)内の他のプロセッサ及びPIP(30B)に対し、プログラムによりタイミング信号TSを出して、VIM(20)にアドレスを供給し、VIM(20)より画像データを読み出してPIP(30A)にて加工処理を行う。

第4図はこのタイミング管理部分のブロック図で、前述したようにPVP(30B)内にその中核のプロセッサとしてタイミング管理プロセッサ(50)が設けられる。そして、このプロセッサ(50)に対しIOC(10)より処理開始タイミング信号PSが供給され、また、このプロセッサ(50)よりIOC(10)に処理終了信号OKが送出される。

そして、このプロセッサ(50)からは処理開始タイミング信号PSがローレベルになったことを検出すると、タイミング信号TSとして1ビット幅の時系列信号をこのPVP(30B)内の他のプロセッサ(51)(52)(53)に送出するとともにPIP(30A)のプロセッサ(61)(62)・・・(66)に送出する。この場合、PIP(30A)内

1 4

の60枚のプロセッサは10枚ずつまとめられて制御されるようにされている。

各プロセッサ(51)(52)(53)及び(61)～(66)にはこのタイミング信号TSに対するデコードが設けられる。

第5図はこのデコードの一例で、シフトレジスタ(71)と、ビットパターン設定器(72)と、比較器(73)とからなる。

シフトレジスタ(71)は管理プロセッサ(50)よりのタイミング信号TSを順次取り込む。この場合、このシフトレジスタ(71)のシフトクロックはタイミング信号TSの送出タイミングクロックと同期したもの、あるいは送出タイミングクロックより高い周波数のクロックが用いられる。

タイミング信号TSは送出タイミングクロックによって1ビットずつ順次送出されるがそのうちの例えば5ビット長のビットパターンが1ビット長ずつ順次シフトされてゆく状態でこのシフトレジスタ(71)に取り込まれる。

ビットパターン設定器(72)にはそのプロセッ

サ毎に特定のビットパターンが設定される。

比較器(73)はシフトレジスタ(71)に取り込まれたタイミング信号TSの5ビット長のビットパターンと設定器(72)の5ビットのビットパターンとを比較し、両者が一致したとき、これよりこのデコードが設けられるプロセッサの動作タイミング信号TPがこの比較器(73)より得られる。

今、例えば設定器(72)に設定されたビットパターンが「10001」であるとすれば、送出クロックの1クロック毎に変わるシフトレジスタ(71)のビットパターンが「10001」になったタイミングで比較器(73)より動作タイミング信号TPが発生する。

したがって、各プロセッサ(51)(52)(53)及び(61)～(66)に設けられるデコードのビットパターン設定器(72)に設定するビットパターンをそれぞれプロセッサ毎に設定すれば、それぞれ独自のタイミングで動作タイミング信号TPが生じるものである。

この場合に、タイミング管理プロセッサ(50)

15

は、各プロセッサのデコードの設定器(72)のビットパターンを知っておき、タイミング信号TSの「0」「1」の送出順序を、各プロセッサに対し所望の動作タイミングを与えるように例えば演算処理して決めて、このタイミング信号TSを送出し、各プロセッサのタイミングコントロールを行なうものである。

この場合、ビットパターン設定器(72)で設定するビットパターンはシフトレジスタ(71)のビット数以下であってもよく、また、デコード毎にビット数が異なってもよい。

例えばプロセッサ(51)では「101」を検出した後処理開始、プロセッサ(61)では「1001」を検出した後処理開始となる場合にタイミング信号TSとして

111 …… 1110111 …… 1100111 ……

なる時系列信号を送れば、前の「101」の時点でプロセッサ(51)を、後の「1001」の時点でプロセッサ(61)を、動作させることができる。

また、プロセッサ(52)では「10」を検出した

後処理開始、プロセッサ(53)では「100」を検出した後処理開始となる場合に、タイミング信号TSとして

111 …… 11100111 ……

なる時系列信号を送ればプロセッサ(53)をプロセッサ(52)より1送出クロックサイクル遅らせて動作させることができる。

なお、第5図のようなデコードを設けることなく、各プロセッサでソフトウェア処理によってビットパターンを検出して動作タイミングを得ることもできる。

また、このようなビットパターンではなく、1ビット幅のタイミング信号TSとして、このタイミング信号TSの送出時以外は常に「1」を送出し、タイミング信号TS送出時には「0」を送出し、各プロセッサではその「0」の到来回数をカウントして動作タイミングを決めるようにしてもよい。この場合にその回数を各プロセッサ毎に変えることによってプロセッサ毎に独自の動作タイミングを決めることができる。

16

17

18

なお、タイミング信号TSは、1ビット幅ではなく、複数ビットの信号を用いることができることは前述の通りであるが、その場合にはその複数ビット並列の信号をタイミング信号とする必要があり、伝送線が複数本になるが、1ビット幅の信号であれば伝送線も1本でよい。

なお、この発明はビデオ信号処理でなく、オーディオ信号やその他の情報の処理にも適用可能であることは勿論である。

(発明の効果)

以上のようにこの発明においては、タイミング信号を複数のサブシステムに対し共通にするとともに各サブシステムにおけるタイミング信号のデコード処理、すなわち、各サブシステムの動作タイミングの検出のアルゴリズムを異なることにより、小量のハードウェアで別々の処理タイミングを複数のサブシステムに与えることができる。

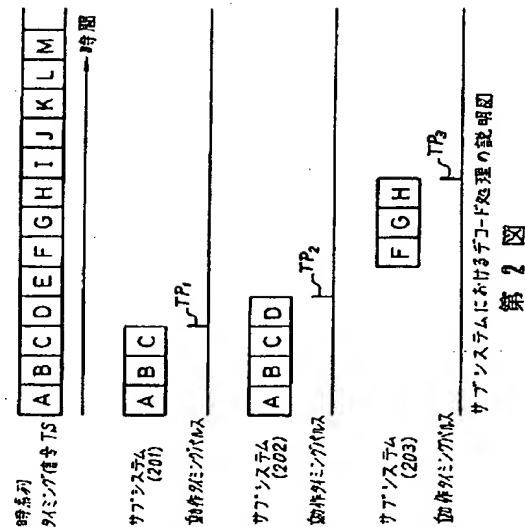
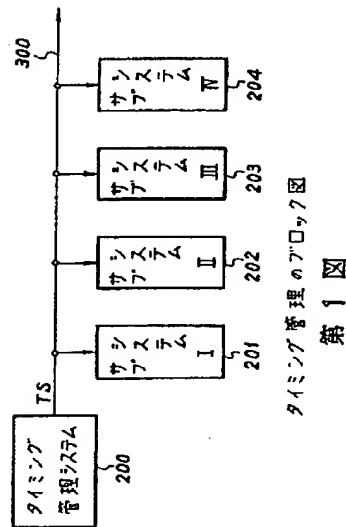
図面の簡単な説明

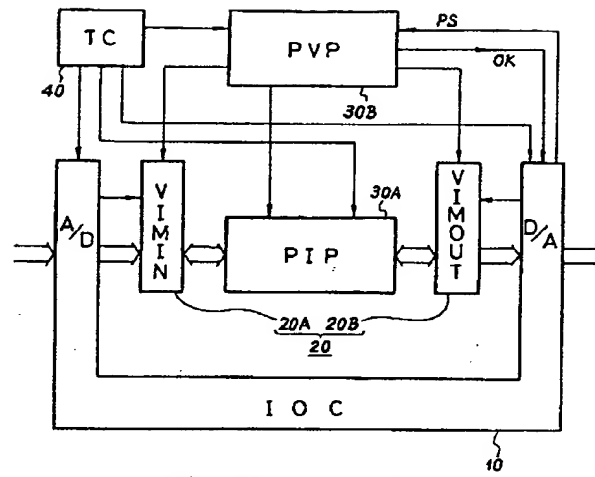
第1図はこの発明の概要を示すブロック図、第

2図はタイミング検出動作を説明するための図、第3図はこの発明が適用される装置の一例としての画像処理装置の一例を示す図、第4図はその要部の一例の構成図、第5図はタイミング信号のデコードの一例の構成図、第6図は画像処理装置の一例のブロック図、第7図は一般的なタイミングコントロールの方法を説明するブロック図である。

(50) 及び (200) はタイミング管理システム、(201) (202) (203) (204) … はサブシステム、(300) は共通の伝送路である。

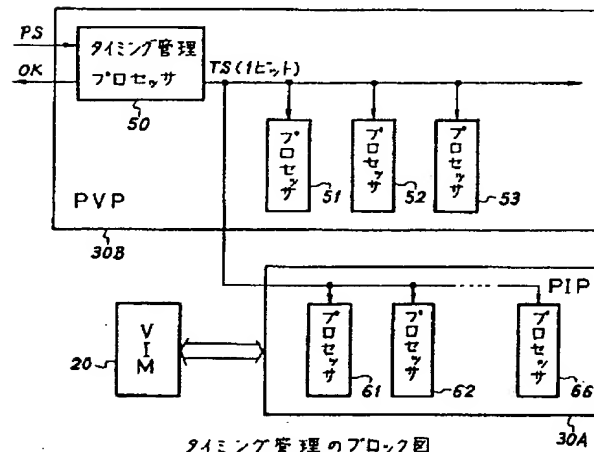
代理人 伊藤 貞
同 松隈 秀盛





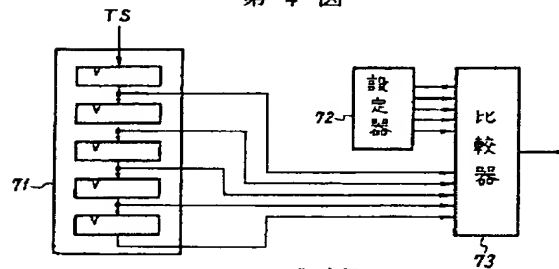
画像処理装置のブロック図

第 3 図



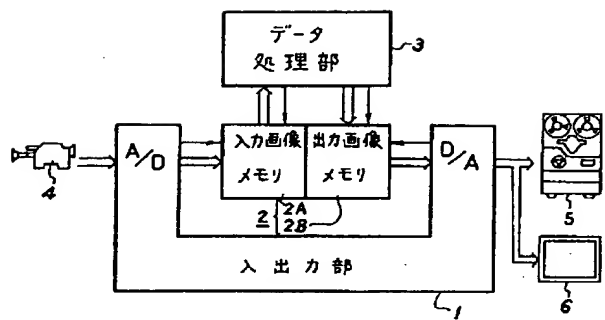
タイミング管理のブロック図

第 4 図

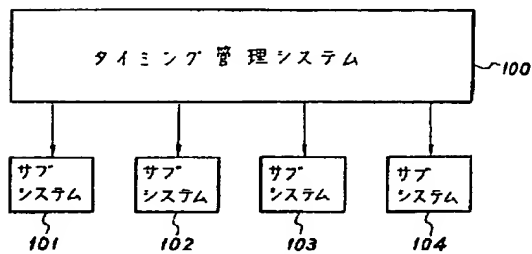


デコーダの構成図

第 5 図



ビデオ信号処理装置のブロック図
第 6 図



データ処理部の内部構成図
第 7 図